

# L'interface JESD204B sur fibre optique révolutionne les radars à commande de phase

Dans la prochaine évolution des radars à commande de phase, le contrôle de la direction du faisceau électronique sera effectué de manière 100% numérique. L'adoption de l'interface JESD204B, qui permet de déplacer les FPGA hors du réseau d'antennes et de les connecter par fibre optique aux convertisseurs de données, ouvre la voie à des approches peu consommatrices d'énergie et moins génératrices de chaleur.

Le contrôle électronique de la direction du rayonnement des antennes réseau à commande de phase est pratiqué depuis le milieu du XX<sup>e</sup> siècle. Or si, aujourd'hui, la plupart des antennes s'appuient sur des méthodes analogiques pour modifier la direction du faisceau électronique, ce contrôle sera effectué de manière entièrement numérique dans la prochaine évolution des radars à commande de phase, appelée « radars à commande de phase numérique ». En pratique, un réseau d'antennes à commande de phase numérique nécessite que chaque élément de l'antenne dispose de ses propres convertisseurs de données. Dès lors, il n'y a plus de changement de phase analogique entre l'antenne et les convertisseurs; le changement de phase et le filtrage spatial sont réalisés au moyen de fonctions purement numériques.

Le changement de phase et le filtrage spatial numériques autorisent la formation de multiples faisceaux et permettent également d'utiliser diverses bandes de fréquence pour le suivi de cibles multiples ou pour l'exécution de missions simultanées. Outre la flexibilité, l'amélioration des performances parle en faveur de la numérisation des systèmes à commande de phase. D'une part, elle remplace l'imperfection des changeurs de phase et des éléments de filtrage spatial analogiques par la précision des techniques numériques de changement de phase et de filtrage spatial, pour une meilleure réjection des lobes secondaires. En outre, la réduction des échos parasites (clutter) se trouve améliorée par la décorrélation

## AUTEUR



**Matt Guibord,** ingénieur système, en charge des convertisseurs de données haute vitesse, Texas Instruments.

du bruit et de la distorsion des convertisseurs analogique-numérique (CAN) et numérique-analogique (CNA) des différents éléments d'antenne.

## Les contraintes

Les principales contraintes qui régissent la construction de systèmes à commande de phase numériques sont liées à la taille, à la consommation électrique et à la puissance de traitement. Chaque élément, y compris les convertisseurs et autres composants analogiques, doit être suffisamment petit pour être implanté en respectant une distance d'une demi-longueur d'onde entre chacun d'entre eux (tableau). Ce faible espacement implique une consommation électrique réduite pour éviter une trop grande production de chaleur. Enfin, la puissance de traitement nécessaire pour le filtrage spatial numérique est nettement plus élevée qu'avec une technique analogique, du fait notamment du changement de phase et du

filtrage spatial numériques, mais aussi de la quantité de données nettement supérieure reçue des convertisseurs analogique-numérique.

Plusieurs architectures peuvent être utilisées pour réaliser des radars à commande de phase numérique. Il est ainsi possible, par exemple, de connecter des convertisseurs de données distincts aux FPGA intégrés au niveau du réseau d'antennes. Toutefois, les FPGA sont volumineux, gourmands en électricité et bruyants, particulièrement lorsque la capacité de traitement requise s'accroît. Il n'est donc pas souhaitable qu'un FPGA soit intégré au réseau d'antennes à proximité de composants analogiques sensibles. En fonction de son utilisation, un FPGA en effet peut consommer des dizaines de watts, posant ainsi des problèmes thermiques et rendant vraisemblablement nécessaire d'installer d'encombrants dissipateurs de chaleur ou de mettre en place d'autres méthodes de refroidissement. Une architecture plus favorable consiste plutôt à déplacer les FPGA hors du réseau d'antennes et à les connecter directement par fibre optique aux convertisseurs de données. Cette architecture est récemment devenue envisageable grâce à l'adoption de l'interface JESD204B pour les convertisseurs de données (figure 1).

## Détails de l'interface JESD204B

JESD204B est une interface sérialisée destinée aux convertisseurs de données, pouvant atteindre un débit de 12,5 Gbit/s via de multiples voies implantées en logique en mode cou-

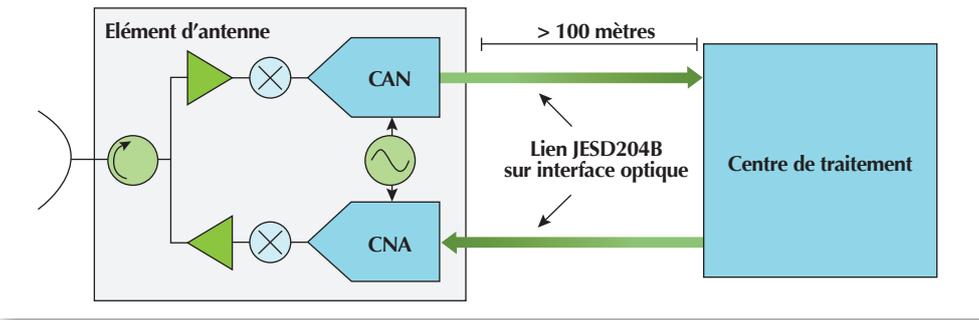
## ESPACEMENT ENTRE ÉLÉMENTS D'ANTENNE ET BANDE DE FRÉQUENCE

BANDE DE FRÉQUENCE DU RADAR	ESPACEMENT MAXIMAL ENTRE ÉLÉMENTS D'ANTENNE
Bande L	150mm
Bande S	75mm
Bande C	37,5mm
Bande X	18,75mm

Dans un réseau d'antennes, chaque élément, y compris les convertisseurs et autres composants analogiques, doit être suffisamment petit pour être implanté en respectant une distance d'une demi-longueur d'onde entre chacun d'entre eux.

**1 ÉLÉMENT D'ANTENNE À COMMANDE DE PHASE AVEC INTERFACE OPTIQUE**

L'adoption de l'interface JESD204B pour les convertisseurs de données permet de créer des architectures où les FPGA sont déplacés hors du réseau d'antennes et connectés par fibre optique aux convertisseurs de données.



rant CML (Current-Mode Logic). L'interface physique utilisée est similaire à celle utilisée par les protocoles Gigabit Ethernet et se prête ainsi bien à une utilisation avec des émetteurs-récepteurs optiques. Ces derniers permettent d'étendre la portée de l'interface, autrement réduite, à plus de cent mètres. Ainsi, la possibilité de placer un émetteur-récepteur optique, connecté aux convertisseurs de données, au niveau du réseau d'antennes et un autre au niveau du FPGA, ouvre la voie aux radars à commande de phase numérique sans qu'il y ait nécessité d'implanter des FPGA au niveau du réseau d'antennes. La figure 2 présente un schéma d'emplacement des composants qui démontre la faisabilité d'une telle architecture pour les radars numériques en bande L, en bande S et potentiellement en bande C. Les trajets radioélectriques présentés sur le schéma sont relativement étroits, mais le fait d'utiliser le haut et le bas de la carte permet d'obtenir plus d'espace pour le placement/routage des composants. L'exemple détaillé ici s'appuie sur des composants disponibles sur le marché et est représenté à l'échelle. Un convertisseur analogique-numérique à double canal 16 bits, 1 Géch./s (ADS54J60) garantit une performance élevée pour des signaux dont la largeur de bande est supérieure à 250MHz. Un convertisseur numérique-analogique à double canal 16 bits, 2,5 Géch./s (DAC38J82) offre une performance similaire à l'émission. Pour les débits binaires de 1 Géch./s, chaque convertisseur peut utiliser deux voies SerDes (séréaliseurs-déséréaliseurs) par canal à 10Gbit/s. Les émetteurs-récepteurs optiques comportent douze canaux permettant

d'utiliser six canaux CAN et six canaux CNA par paire d'émetteur et de récepteur. La puissance totale de l'émetteur-récepteur optique au niveau du réseau d'antennes est d'environ 380 mW par élément d'antenne, moins que dans l'architecture équivalente où le FPGA est interfacé directement aux convertisseurs de données. Idéalement, la taille et la consommation de l'émetteur-récepteur optique pourraient être encore réduites.

**Les défis à relever**

Le défi posé par cette architecture ne tient pas tant à l'interface SerDes elle-même qu'aux autres signaux requis pour l'interface JESD204B. Au-delà des données, trois autres signaux sont en effet requis dans le

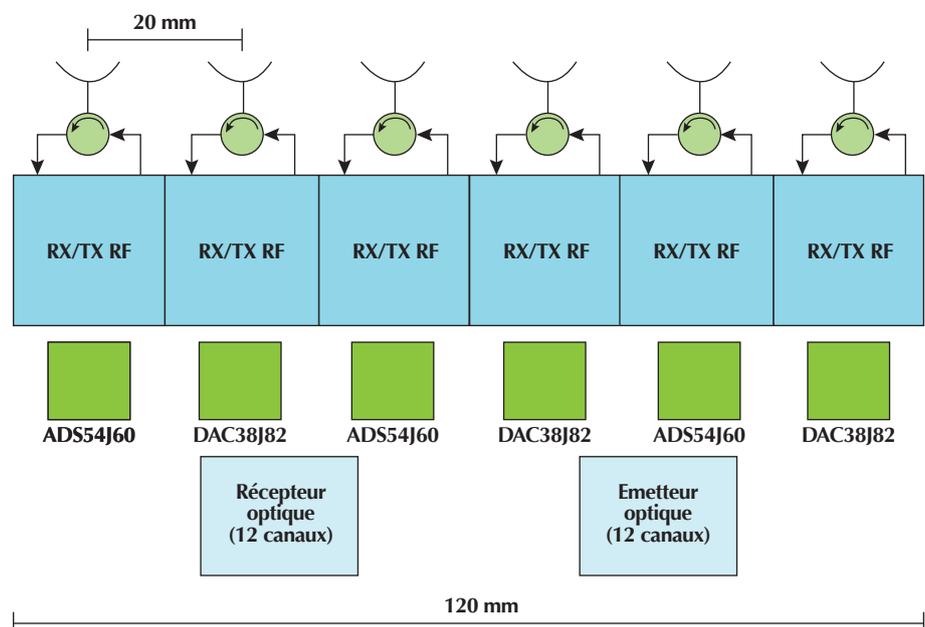
cas de l'utilisation de la variante JESD204B de sous-classe 1 : l'horloge (Device Clock) et les signaux SYSREF et SYNC.

Le signal d'horloge Device Clock est similaire à l'horloge d'échantillonnage du convertisseur de données et présente la même exigence de performances en termes de faible gigue. C'est en fait la dérive (skew) entre les signaux d'horloge destinés aux différents convertisseurs de données qui in fine détermine la précision de phase de l'instant d'échantillonnage, exigence clé pour les radars à commande de phase. Toutefois, il est possible d'utiliser des techniques numériques pour compenser cette dérive. La seule contrainte supplémentaire propre à l'architecture optique est la nécessité de synchroniser en fréquence les deux extrémités de la liaison optique pour que la liaison synchrone sérialisée fonctionne correctement.

SYSREF est un signal de référence de synchronisation à basse fréquence utilisé pour tous les composants JESD204B afin de garantir une latence déterministe. Pour la synchronisation de multiples composants, le signal SYSREF doit être capté au même cycle d'horloge par chaque convertisseur de données, ou au moins à un nombre entier de périodes SYSREF plus tard. SYSREF présente donc une exi-

**2 EXEMPLE DE RÉPARTITION DES COMPOSANTS AVEC LIEN JESD204B SUR FIBRE OPTIQUE (À L'ÉCHELLE)**

Ce schéma d'emplacement des composants démontre la faisabilité d'une architecture avec interface JESD204B optique pour les radars numériques en bande L, en bande S et potentiellement en bande C.



gence temporelle de pré-positionnement et de maintien (setup-and-hold) par rapport au signal d'horloge. De plus, le FPGA doit aussi recevoir le signal SYSREF à un temps déterministe par rapport aux convertisseurs de données afin de garantir une latence déterministe. C'est pourquoi la phase de SYSREF à chaque extrémité de la liaison optique doit être bien contrôlée.

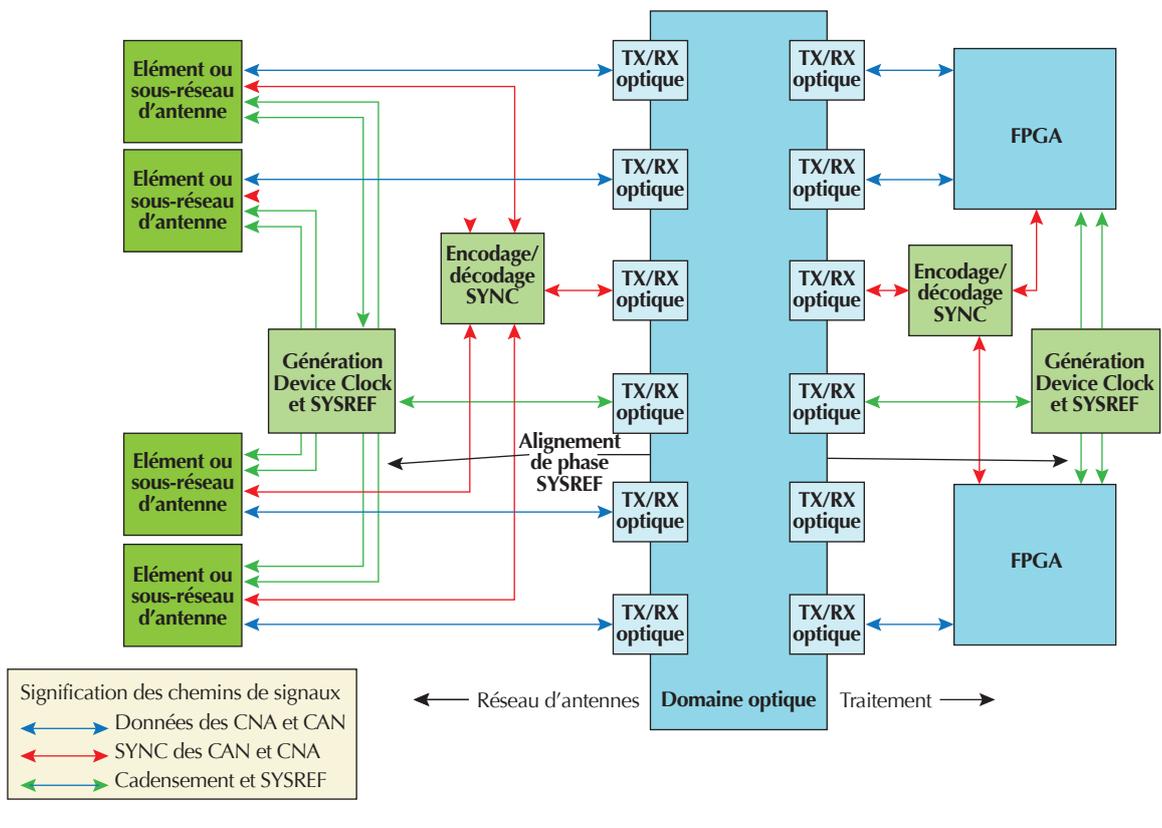
Le signal SYNC, enfin, ne présente pas d'exigence de synchronisation spécifique pour les variantes de sous-classe 0 ou 1 de l'interface JESD204B. Pour la plupart des applications, il s'agit d'un signal binaire en continu (DC) utilisé uniquement lors

de l'initialisation de la liaison pour aligner les horloges caractères de l'émetteur-récepteur SerDes. Le récepteur doit activer faiblement le signal SYNC au démarrage pour commander à l'émetteur de démarrer le processus de synchronisation du groupe de codes. S'agissant d'un signal DC, la mise en œuvre via une fibre optique requiert l'encodage du signal avant sa transmission. Du fait du nombre élevé de convertisseurs pouvant être utilisés dans le système, et donc du nombre élevé de signaux SYNC, il peut être approprié d'utiliser l'agrégation des signaux SYNC. Le concepteur pourra réaliser cette opération en agrégeant les signaux au moyen d'une fonction ET afin de limiter le nombre total de signaux SYNC transmis via la liaison optique. On notera que SYNC peut présenter des exigences de timing pour une mise en œuvre en sous-classe 1 lorsque des oscillateurs à commande numérique sont utilisés en tant qu'éléments de convertisseurs éleveurs ou abaisseurs de tension numériques au sein des convertisseurs de données.

La figure 3 présente un schéma fonc-

### 3 SCHÉMA FONCTIONNEL D'UN SYSTÈME RADAR À COMMANDE DE PHASE UTILISANT LES LIAISONS JESD204B SUR FIBRE OPTIQUE

Dans ce schéma fonctionnel de radar à commande de phase utilisant une implémentation optique de l'interface JESD204B sont représentés aussi les chemins des signaux Device Clock, SYSREF et SYNC.



tionnel de radar à commande de phase utilisant une implémentation optique de l'interface JESD204B. On a fait l'hypothèse que les signaux d'horloge Device Clock et les signaux SYSREF sont générés à un point unique du réseau d'antennes et distribués par les voies traditionnelles à chaque élément d'antenne pour maintenir une performance élevée et l'alignement de phase. Les signaux SYNC destinés à chaque élément peuvent être agrégés au niveau d'un sous-réseau (N signaux SYNC dans chaque direction pour N sous-réseaux dans le système). Une autre solution consiste à agréger chaque élément au niveau du système avant qu'il soit encodé pour être transmis via la fibre optique pour limiter le nombre de signaux. Il convient de noter que les horloges, y compris les signaux SYSREF et SYNC, peuvent être transmises via une interface cuivre telle qu'un câble coaxial plutôt que via une liaison optique. La faisabilité dépend de la distance entre les éléments d'antenne et les FPGA. La mise en œuvre des signaux via une interface cuivre

est probablement plus simple, car elle élimine la nécessité d'encoder le signal SYNC et simplifie l'alignement de phase de SYSREF.

### Conclusion

S'il est très probable que les radars à commande de phase continuent à évoluer vers une version numérique de cette technologie, l'architecture optimale de ces produits est encore soumise à débats. L'architecture présentée ici, fondée sur l'utilisation de l'interface JESD204B sur fibre optique, peut permettre la construction de réseaux d'antennes entièrement numériques pour les radars de bande L, de bande S et de bande C. Cette architecture minimise les exigences en termes de consommation électrique et de production de chaleur au niveau de chaque élément d'antenne en éliminant la nécessité d'un FPGA à proximité des convertisseurs de données. Cette architecture pourrait s'avérer encore plus favorable avec la réduction de la taille et de la consommation électrique de l'émetteur-récepteur optique... ■